

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Ref. No. J

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-116210

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月17日

G 06 F 1/04

3 0 1 C

7459-5B

審査請求 有 発明の数 2 (全10頁)

⑮ 発明の名称 データ処理システム

⑯ 特 願 平2-228140

⑰ 出 願 昭56(1981)10月12日

⑱ 特 願 昭62-212812の分割

⑲ 発 明 者 前 島 英 雄 茨城県日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
⑲ 発 明 者 桂 晃 洋 茨城県日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
⑲ 発 明 者 木 原 利 昌 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 赤 尾 泰 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称 データ処理システム

2. 特許請求の範囲

1. データ処理命令を含むプログラムを記憶するメモリと、クロックが供給されるCMOS (Complementary Metal Oxide Semiconductor) 論理回路を含み、上記プログラムを順次読出して実行し、複数の回路領域に分割されたLSI構成のデータ処理装置と、を有するデータ処理システムにおいて、

上記メモリは、上記データ処理命令とともにクロックの供給停止命令を記憶し、

上記データ処理装置は、

回路領域を特定する情報を記憶する記憶手段と、

上記クロックの供給停止命令が実行された場合に、上記記憶手段に記憶される回路領域を特定する情報に応じて、特定の回路領域への上記クロックの供給を停止する手段とを備えたことを特徴とするデータ処理システム。

2. データ処理命令を含むプログラムを記憶するメモリと、クロックが供給されるCMOS

(Complementary Metal Oxide Semiconductor)

論理回路を含み、上記プログラムを順次読出して実行し、複数の回路領域に分割されたLSI構成のデータ処理装置と、該データ処理装置への割込みを発生する入出力装置とを有するデータ処理システムにおいて、

上記メモリは、上記データ処理命令とともにクロックの供給停止命令を記憶し、

上記データ処理装置は、

回路領域を特定する情報を記憶する記憶手段と、

上記クロックの供給停止命令が実行された場合に、上記記憶手段に記憶される回路領域を特定する情報に応じて、特定の回路領域への上記クロックの供給を停止する手段と、

上記入出力装置からの割込みを受ける手段と、

上記割込みを受けた場合に、上記クロック供給の停止解除を行なう手段とを備えた

ことを特徴とするデータ処理システム。

3. 特許請求の範囲第1項または第2項において、上記メモリは、記憶手段設定命令を記憶し、上記データ処理装置は、記憶手段設定命令が実行された場合に、上記回路領域を特定する情報を上記記憶手段に設定する手段を備えたことを特徴とするデータ処理システム。

3. 発明の詳細な説明

本発明はデータ処理装置に係り、特にLSI (Large Scale Integrated circuit)のように消費電力が小さい処理装置に適したクロック信号の制御方法に関する。

近年における半導体技術の進歩には著しいものがある。特にMOS (Metal Oxide Semiconductor)の進歩は顕著である。そしてMOS技術の進歩により素子の極小化、微細化が進んでいる。これに伴い多くの回路が数ミリ角のシリコン上に集積されるようになってきた。

しかしながらこのように高集積化、あるいは高速化されてくると、単位面積当りの消費電力が増

大するから、素子の熱放散は重要な問題になりつつある。

そこで信号の変化時しか電力を消費しない所謂C-MOS (Complementary MOS) デバイスが脚光を浴びてきている。C-MOSデバイスはこのように消費電力が小さいために待機時にはバッテリから電力を供給することが可能である。また消費電力が小さいので常時バッテリから電力を供給する場合もある。

本願発明はこのようなCMOSデバイスの消費電力をさらに低減するための、クロック信号の制御方法に関する。

デバイスが小さくなると、消費電力の絶対値そのものは小さいにしても単位面積当りの消費電力あるいは単位容量当りの消費電力は大きくなる傾向にある。したがって低消費電力化は重要な問題である。

身近な例では電卓がある。これは電源はONにしたまま放置されたとき、あらかじめ定められた時間経過後自動的に電源をOFFするものである。

一定の放置時間経過後自動的に電源断となるために電源の無駄な電力消費を防ぐことができる。しかし、この場合は電卓の無操作放置時間によって電源断をおこなうこと、すなわち電源側の消費電力に限定される。デバイスの低消費電力をさらにすすめるためには、デバイスの状態に応じて、電源断そして復帰を行なわしめた方がよい。それらの要求が次第に高まりつつある。

本願発明に最も近い公知例には日本国特許出願公開公報特開昭54-104272号「相補形MOS論理回路」1973. 8月16日付公開がある。この公知例は論理回路、特に相補形MOSゲートで構成された論理回路をさらに低消費電力で動作させる回路に関する。

具体的には該MOSゲートで構成された論理回路が論理動作しない期間に該論理回路から発生するクロック禁止信号を用いて外部からのクロック信号の通過供給を制御し、該論理回路が動作しない期間外部クロック信号を禁止するものである。

これはあくまでも対象論理回路が動作しない期

間外部クロック信号を禁止するものである。

該論理回路が動作しなくなったことにより発生する信号すなわち非動作信号によってクロック信号が制御される場合の開示である。本発明のように積極的に消費電力を減少させること、すなわち命令語によってクロック信号の停止等をおこなうことについては何等の記載もない。

また、U.S. Patent No. 3,919,885 (NOV. 11, 1975) 「Asynchronous Clocking Apparatus」があるが、これは複数の機能ユニット毎に独立したクロック回路を有し、クロックサイクルを変えるものである。

本発明の主たる目的は対象とする論理回路へのクロック信号の供給を任意の時点で禁止（または特定のレベルに固定）し、消費電力の低減化をはかることにある。

本発明の他の目的はクロック信号の供給が禁止される回路領域を任意に変更することができるようにすることにある。

本発明は上記の目的を達成するためにクロック

に保持出来ればよい。第5図(A)～(H)はクロック信号停止に至るまでのタイムシーケンスを示したものである。

第5図で①はクロック発生回路からの信号3a～3oが与えられていて対応するクロック信号3x～3yがデータ処理装置に供給されている時間領域を示している。同図①の領域では信号3dがフリップ・フロップ300に入力されて信号3eが発生した場合を、同図②の領域ではクロック信号3aによつてフリップ・フロップ301の出力信号を“H”から“L”に変化せしめるとともにクロック信号3bに同期してフリップ・フロップ302の出力信号3gを“L”から“H”に変化せしめた場合を、同図③の領域では信号3gによりフリップ・フロップ303をクロック信号3aに同期して状態変化せしめ一対の信号3h、3i(3h)を得た場合を示している。そしてクロック信号3y、3xは“H”から“L”レベルに、3xは“H”レベルに信号レベルが保持され、クロック信号のレベル変化はなくなる。

3p.)のいずれが入つてもNORゲート318により割込み有として検出し、これをフリップ・フロップ319に反映する。フリップ・フロップ319の出力3qはフリップ・フロップ320、321で更に同期化され、信号3rを得ており、前記したクロック停止制御用のフリップ・フロップ302をリセットする。そして、フリップ・フロップ303はクロック3aに同期してクロック停止解除を信号3h、3i(3h)、クロック・ゲート304～306により行う。クロック停止解除のタイム・チャートを第6図(A)～(L)に示したが、円槽にクロック動作開始が達成される。

Fig. 6(E)に示す④は割込要求信号3oによつてフリップ・フロップ317がクロック信号3bに同期して信号3p.が出力され、さらにクロック信号3aに同期してフリップ・フロップ319の出力信号3qが④で状態し(“H”から“L”レベル)、Fig. 6(G)⑤に示すようにフリップ・フロップ321の出力信号3rはク

なお①の状態であってもクロック発生回路からの信号3a、3b、3oは出力信号を出し続けていることが分るであろう。

(2) クロック停止を解除する動作の説明

クロック停止制御は前述した如く、命令によつてプログラマブルとなる。一方、停止解除はデータ処理装置への割込みによつて行う。ここでいう割込みとは、入出力装置からのサービス要求、エラー、リセット等を指す。第4図に示した4レベルの割込みは信号3l、3m、3n、3oにより第1のフリップ・フロップ群310～313にクロック・ゲート322により供給される同期クロック3cで受け取られる。次に、チャタリング防止の為、第2のフリップ・フロップ群314～317にクロック・ゲート323により供給される別の同期クロック3dで受け直す。例えば、それらの同期化割込み信号の1つであるフリップ・フロップ317出力3p.はNORゲート318に入力し、フリップ・フロップ319にクロック3aで記憶される。4レベルの割込み(3p.～

クロック信号3aに同期してその信号レベルは“H”から“L”レベルに変化する。信号3rによりフリップ・フロップ302の出力信号3gは“H”から“L”に変化する(Fig. 6(H)⑥)。したがつてフリップ・フロップ303の出力信号3hは“L”から“H”に変化(Fig. 6(I)⑦)し、同時に図示していないが3i(=3h)は“H”から“L”に信号レベルが変化し、⑥の領域では再びクロック信号3x、3y、3zの供給が開始される(領域⑥についても同様)。

次に、クロック停止解除後の動作について説明する。クロック制御回路に割込み信号3l、3m、3n、3oの少なくともいずれか1つが入力し、クロックの停止状態を解除した後、データ処理装置はマスク・ゲート324による結果の信号2cをみて割込み処理に入るかを判定し、処理を続行するが、この様子第7図に示したマイクロ命令フロー・チャートにより説明する。本フロー・チャートは1つのブロックが1マイクロ命令を示している。第5図、第6図に示したタイム・チ

が入力されており、これらのうち少なくとも1つがアクティブになると直ちにクロック信号 $3x \sim 3z$ は動き出す。すなわち、上記図路21は割込み待ちの状態ではクロック信号を停止している。割込み信号により、クロック信号 $3x \sim 3z$ が動き始め、プロセッサ22が動作し始めると、クロック供給回路21内にある割込みのマスキ機構により、入力した割込みを受け付けるか否かが判断される。その結果の信号20がデコーダ27に入力する。割込みを受け付けられれば割込み処理プログラムの先頭の命令へ、受け付けられなければクロック供給禁止命令(n番地)の次のn+1番地に格納された命令を送出し、実行する。

すなわち第3図で28aは主メモリ上のメモリマップの説明である。例えばn番目の命令が前述の低電力命令(クロック供給禁止命令)を送出し、クロック信号の供給を禁止している状態であると、割込み信号が発生すると第3図に示したように割込み処理IRPにより処理される。クロック信号供給禁止状態にあるときはIRPで割込み状態を

常に監視して、割込みが発生すると(Y)、MASKされているか否かを判断し(IRP)、MASKされていない場合はクロック信号の供給を開始して、該当する割込み処理プログラムを実行する。一方、割込み信号の発生に対してマスクされていると(n+1)番目の命令から順次送出し実行される。

(勿論この場合クロック信号の供給が開始される)

クロック供給回路21は上記の如く、動作しているクロック信号の停止、解除が成され、プロセッサ22の消費電力の制御を行う。次に、このクロック供給回路21の詳細構成と動作について示す。

第4図は本発明になるクロック供給回路21の具体的構成を示したものである。本回路は、データ処理装置のクロック供給禁止命令を検知し、同期化するフリップ・フロップ300、301、クロックの停止を制御するフリップ・フロップ302、303からなるクロック制御回路327、クロック群3a、3b、3cの供給を禁止するクロック・ゲート304~306、4レベルの割込みを同

期化し、記憶するフリップ・フロップ群310~317、少なくとも1つの割込みのあった事を検知するORゲート318、クロック停止の解除タイミングを得るフリップ・フロップ群319~312、割込みの同期化及び記憶タイミングを決めるクロック・ゲート322、323、割込みのマスキ・ゲート324より構成される。本回路の動作をクロックの停止時と解除時の2つの場合に分けて説明する。

(1) クロック信号を停止させる場合の動作

説明の都合上、データ処理装置はマイクロプログラム制御とする。クロック供給禁止命令の実行を司るマイクロプログラムの中で、クロック停止要求の論のマイクロ命令が読み出されると、信号3dが"H"(High level)となる。これをクロック3bによつてフリップ・フロップ300に記憶し、これにより得た信号3eを更にクロック3aによつてフリップ・フロップ301にタイミングを合せ、クロック3aに同期した信号3fはクロック3bによりフリップ・フロップ302

をセットし、クロック停止を指示する。クロック停止信号3gはフリップ・フロップ303によりクロック3aで同期をとった後、一方の信号3h、3i(3h)によりクロック・ゲート304~306を制御し、クロック3aに対応するクロック3xはゲート305により"H"状態に、クロック3b及び3cに対応するクロック3y及び3zは"L"(Low level)状態で停止する。3xを"H"にする理由は、クロック3xがデータ処理装置の1マイクロ動作におけるダイナミック論理のプリチャージに用いられる為、クロック停止時にプリチャージ状態にしておく事により停止解除時の動作を円滑にする役割を果たす。これによつてクロック停止期間に電力を消費する事はない。以上のようにして停止制御され得るクロック3x、3y、3zはデータ処理装置に供給されているから該装置内の信号変化がなくなり、CMOS回路では電力消費がなくなる。すなわちこの例で分るようにクロック信号供給停止とは必ずしも"L"とは限らない。要するに電力が消費されない状態

禁止命令を設け、該命令を読み出したときは該論理回路のクロック信号の供給を禁止するようにしたことに特徴がある。

上述したようにC-MOSデバイスは信号変化がなければ電力消費はないという特徴がある。したがってクロック供給禁止要求信号によって該C-MOSデバイスへのクロック信号の供給を停止すれば、それだけC-MOSデバイス自身における消費電力の低減ははかられることになる。

また、クロックパルス信号によって同期して動作する論理回路では、クロックパルス信号のくり返し周波数が高くなる程平均消費電力が増加する。

高速処理を必要としないような場合は、クロックパルスのくり返し周波数を低くしても消費電力の低減ははかれる。

以下、順次説明する。外部からのクロック信号供給禁止信号によって、プロセッサなどのクロック信号の供給を停止する回路は例えば第1図(A)のようなものが考えられる。

第1図(A)のクロック制御回路は、クロック

供給停止を要求する信号ICを2相クロック1a、1bに同期化するフリップ・フロップ11~13、クロックの供給を禁止するANDゲート14、15から成る。16はデータ処理部である。本回路の動作を第1図(B)~(I)のタイム・チャートを参照しつつ説明する。今、クロック供給禁止要求信号1cが非同期に“H”から“L”へ移行した(①)とすると、先ずフリップ・フロップ11によりクロック1bで同期化され、信号1dを得る(②)。ところが、信号1dには同期化の際のチャタリングが発生している可能性があるため、次にフリップ・フロップ12によりクロック1aで同期化して信号1eを得る(③)。更に、フリップ・フロップ13によりクロック1bで同期化した信号1fも得ておく(④)。信号1f、1eはそれぞれ、ANDゲート14、15によりクロック1a、1bを禁止し、データ処理部16に供給されるべきクロック1g及び1hは“L”に固定される。ここで、データ処理部16内の信号変化がなくなり、C-MOSデバイスで構成される

データ処理部16で電力は消費されなくなる。最も単純な場合は第1図(A)の回路でクロック信号の禁止制御は可能である。

ところが、以上述べたクロック供給停止要求信号はLSI外部から与えられたり、一定の周期で与えられたりする為にクロックの停止・解除が固定的となる。したがって、動作するマイクロプロセッサ自身が積極的かつ任意の時点で低消費電力モードを実施することはできない。

第2図はさらに本発明を改良したクロック信号供給制御回路を備えたデータ処理装置のブロック構成を示したものである。データ処理装置はクロック発生回路20、クロック供給回路21、プロセッサ22から成り、プロセッサ22はレジスタ・ファイル23、演算回路24、アドレス・レジスタ25、命令レジスタ26、デコーダ27より構成される。クロック発生回路20により得られるクロック信号(3a~3c)は本発明になるクロック供給回路21に入力し、該回路21の出力クロック信号(3x~3z)はプロセッサ22よ

り出力される信号3dにより停止する。また、上記回路21に入力する割込み信号等3i~3oによって停止状態を解除する。更に細かい動作を第2、第3図を用いて説明する。

(1) クロック供給停止の場合

プロセッサ22におけるレジスタ・ファイル23の中のプログラムカウンタ(PC)の内容nがアドレス・レジスタ25(MAR)を介して信号2aにより主メモリ28に出力される。これにより、低電力命令(第3図クロック供給禁止命令)が信号2bを介して命令レジスタ26(IR)にセットされる。この内容はデコーダ27により解釈され、クロック供給停止信号3dとしてクロック供給回路21に入力される。以後、クロック信号3x~3zは停止し、プロセッサ22は停止状態となる。ただしこの時、クロック発生回路20はクロック信号3a~3cの出力自身は発生している。

(2) クロック供給停止解除の場合

クロック供給回路21に割込み信号3i~3o

ヤートとの関係で以下説明する。クロック停止の
為の命令実行はブロック7aのプログラムカウン
タPCデクリメントから開始する。これは命令フ
ォンツシ段階でパイプライン制御がなされ、PCが
1つ多くインクリメントされていた為で、本発明
とは直接関連がないので詳細の説明は省略する。
次に、ブロック7bのクロック停止の為のマイク
ロ命令を発し、クロック停止状態に入っていく。
ブロック7cのNO-OP (No Operation) はク
ロックが完全に停止するまでの余裕であり、ブロ
ック7dのNO-OPはクロック停止時に割込み
待ちを行うためのマイクロ命令である。

以上のブロック7dのNO-OP状態で割込み
が受け付けられると、一定の同期化サイクルを
経てブロック7eの命令フォンツシ先頭のマイク
ロ命令へと制御を移す。ここではPCをアドレスレジ
スタIR25へ送出し、PCインクリメントを
行う。ブロック7fでは主メモリの読み出しを行
い、ブロック7gで読み出した命令を命令レジ
スタIR26へ取り込む。このようにして、ブロツ

ク7hのマイクロ命令実行後、割込みチェックを
行い、前記したマスク・ゲート324の出力に割
込み信号2oが存在する時には割込み処理のマイ
クロプログラム(ブロック7i, 7j)へと分岐
し、割込み信号が存在しない時にはブロック7k
で取り込んだ命令に応じた実行用マイクロプロ
グラムの1つへ分岐する。以上示した如く、クロ
ック停止解除後はマスク・ゲート324の状態によ
り割込み処理あるいは次の命令へとマクロなプロ
グラムは制御されることになる。

以上のように、図示した実施例によれば特殊命
令によりユーザー・プログラマブルなクロック停
止が行え、これによつて低消費電力モードへと移
れる。更に、割込みのマスク状態に応じて割込み
処理あるいは次の命令へと柔軟な制御が可能とな
る。

以上説明したように本発明によると、クロック
信号の供給を制御することにより、低消費電力化
を柔軟に制御することができるのでより一層の消
費電力の低減をはかることができる。

また本発明の実施例は上述のものに限られるも
のではない。その変形例について以下に述べる。

第8図はデータ処理装置を複数のブロックに分
割し、クロック信号供給禁止命令を送出した時に
クロックの供給を禁止するブロックと禁止しない
ブロックに分けて実施する例を示したものである。
これは第2図のシステムに、例としてクロック供
給が禁止されないタイマ80、シリアル入出力装
置(I/O)81を付加したデータ処理装置を構
成するものである。クロックの停止・解除は次の
ように行われる。

プロセッサ22でクロック信号供給禁止命令が
検知された時、信号3dによりクロック供給回路
21の出力3x-3yは停止する。これにより、
プロセッサ22の動作は停止するが、タイマ80
及びシリアルI/O81はクロック3a-3bによ
つて動作する為に停止しない。この状態で、タ
イマ80からのタイマ割込み3o又はシリアルI
/O81からのオーバーフローなどの割込み3o
または外部からの割込み3d, 3mのいずれかが

入力されるとクロック供給回路21は動作を開始
して、プロセッサ22が割込み処理を行う。

第9図は複数のクロック信号供給禁止命令をも
つプロセッサ22によりブロック毎のクロック供
給回路210-212によりクロック供給の停止
・解除を行うシステムの例を示したものである。
プロセッサ22が7種類のクロック信号供給停止
命令I1-7をもっているとする。命令I1では
信号30d, I2では信号31d, I3では信号
30, 31d, I4では信号32dといった具合
に信号30d-32dのあらゆる組合せがプロセ
ッサ22の実行する命令I1-7に対応して得ら
れる。これらの命令によりプロセッサ22自身も
含め、他の第1ブロック90, 第2ブロック91
の3ブロックがあらゆる組合せでクロック90x
-92xの供給停止が行われる。それぞれのクロ
ック供給回路210-212の解除は信号30s
-32sそれぞれで独立に行われる。以上の如く
システムを構成する事によりプロセッサ22は動
作の必要のなくなつたブロックから命令によりク

ック供給の禁止を行っていくことができる。これも低消費電力の面で効果がある。

第10図は、クロック信号供給禁止のための参照レジスタ100及びマスクゲート101を設けたものである。ここでは第9図のものとクロック信号供給禁止のための手続きのみが異なるので、その部分だけを示す。

(1) クロック信号供給禁止ブロックの設定

プロセッサ22内のレジスタ・ファイル23の1つの内容が参照レジスタ設定命令により信号100bを介して、デコーダ27から得られる設定信号100aにより参照レジスタ100に設定される。その出力信号100c～102cはマスクゲート101により通常はマスクされクロック信号供給禁止信号30d～32dは出力されない。

(2) クロック信号供給禁止信号の出力

プロセッサ22でクロック信号供給禁止命令が実行されると信号3dが出力される。これが参照レジスタ100の内容にしたがつてマスクゲート101を介して信号30d～32dとして各クロ

として出力する。

信号3h, 3iを入れかえれば、クロック信号供給禁止命令により通常より短周期のクロックの供給が行える。

第12図は通常のクロック周期に加えて、長周期または短周期のクロック周期を可変に切り換えるようにしたクロック発生部を示したものである。長周期への切り換え命令により信号3d, 短周期への切り換え命令により信号3d'がプロセッサ22内のデコーダ27から発生する。

(1) 通常のクロック周期

特に、クロック周期を切り換える命令が読出されない限り、クロック制御回路327の出力3h及び3h'はそれぞれ“L”となつている。従つて、ゲート129出力12aは“H”となり、分周回路120～122の出力がセクタ126～128により選択され3x～3zに出力される。これが通常のクロック周期である。

(2) 長周期

クロック周期を長くする切り換え命令が読出さ

ック供給回路210～212に出力され、対応するクロック信号の供給を禁止する。

参照レジスタ100の内容はこの設定命令により書き替える事ができるため、クロック信号供給禁止ブロックをプログラマブルに変更できる。

第11図は第4図に示したクロック供給回路のクロック・ゲート304～306の代りに、分周回路110～112, セクタ113～115によつて構成したものである。分周回路110～112により現周期の信号3a～3cよりそれぞれ長周期の信号11a～11cが得られている。このような構成により、通常は信号3h, 3iはそれぞれ“H”, “L”となつており、クロック信号3a～3cがセクタ113～114により選択されクロック信号3x～3yとして出力している。ここで、クロック信号供給禁止命令が実行されると信号3h, 3iはそれぞれ反転し、“L”, “H”となる。従つて、この場合には長周期のクロック信号11a～11cがセクタ113～115により選択され、クロック信号3x～3z

れると信号3dがアクティブとなり、結果として3hは“H”となる。これにより低速度分周回路123～125出力がセクタ126～128により選択され、通常よりも長周期のクロックが3x～3zに出力される。

(3) 短周期

クロック周期を短くする切り換え命令が読出されると信号3d'がアクティブとなり、結果として3h'は“H”となる。これによりクロック3a～3cが直接セクタ126～128により選択され、最も周期の短い(高速度)クロックが3x～3zに出力される。

クロック周波数切替命令を読出したときクロック周期を変えることにより消費電力を制御することができる。

4. 図面の簡単な説明

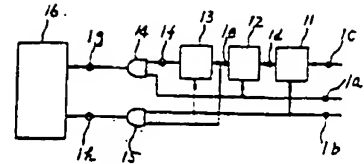
第1図(A)はC-MOSから成るデータ処理部へのクロック信号の停止回路の一例を示す。第1図(B)～(I)は、第1図(A)における各部の動作を説明するためのタイムチャートである。

第2図は本発明をさらに改良したクロック信号供給制御回路の備えたデータ処理装置の概略を示すブロック図である。第3図はクロック供給禁止命令の読出し実行を説明するためのフローチャートを示す。第4図はクロック供給制御回路の具体的な実施例を示している。第5、6図はクロック信号の供給禁止および復帰の動作を説明するタイムチャートである。第7図はクロック停止解除後の動作におけるマイクロ命令の実行フローチャートを示す。第8、9図はクロックの供給禁止ブロックを複数のブロックに分割した場合の説明図を示す。第10図はクロック供給禁止参照レジスタを設けた場合の説明図である。第11、12図はクロック信号の供給禁止に代えてクロック信号の周波数を可変にして消費電力の低減化を計る場合の説明図を示す。

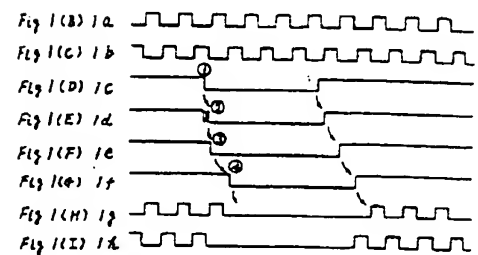
20…クロック発生回路、22…プロセス、
23…レジスタファイル、24…演算回路、25
…アドレスレジスタ、27…デコーダ。

代理人 井理士 小川勝男

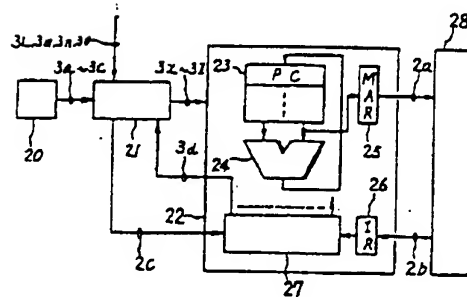
第 1 回
(A)



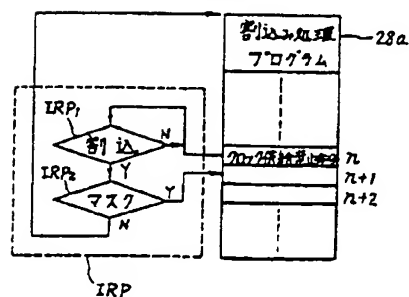
(B)



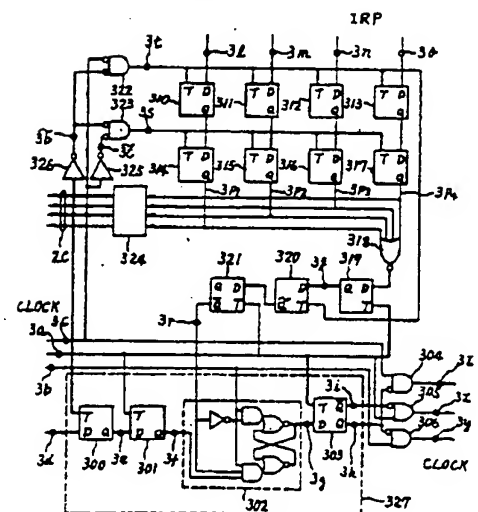
第 2 回



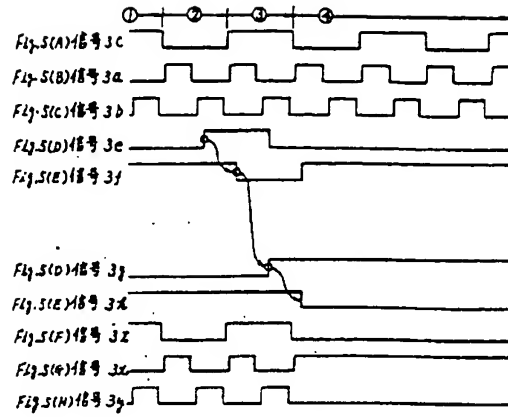
第 3 圖



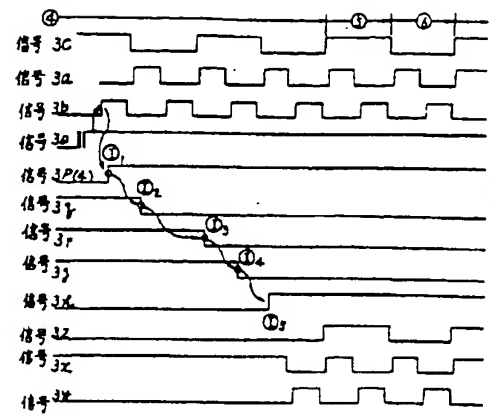
第 4 回



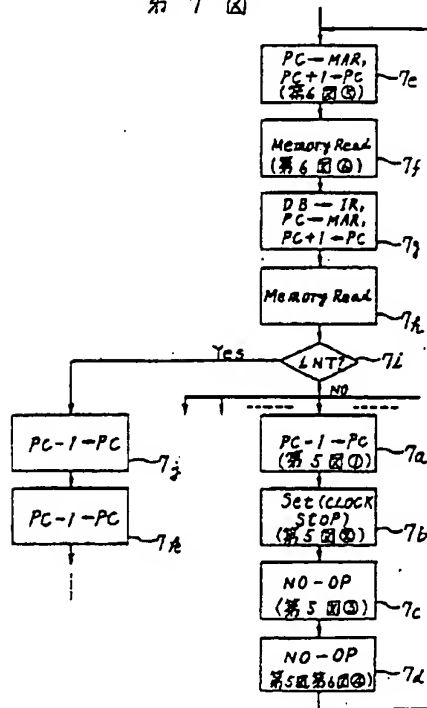
第 5 図



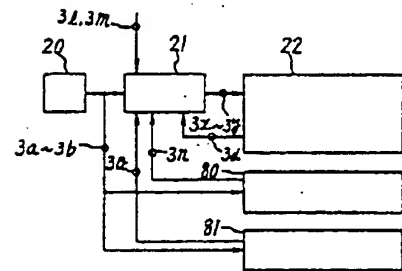
第 6 図



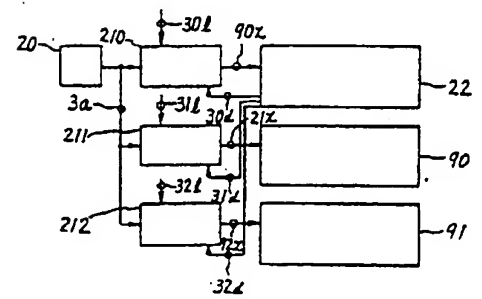
第 7 図



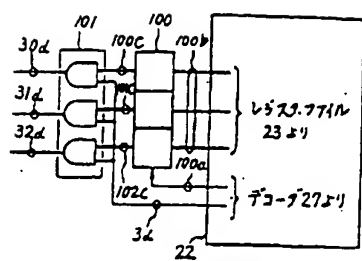
第 8 図



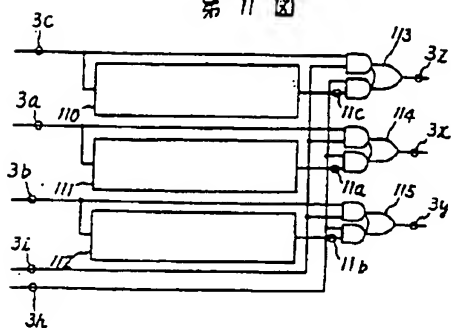
第 9 図



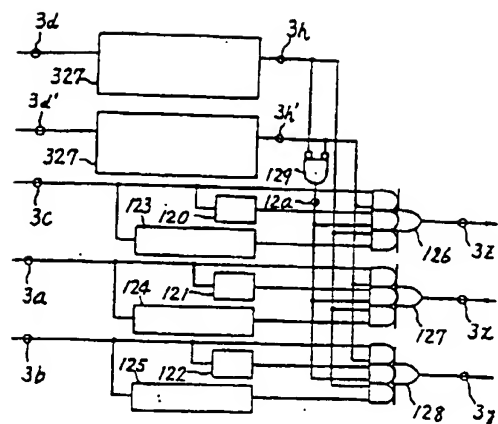
第 10 図



第 11 図



第 12 図



Japanese Kokai Patent Application No. Hei 3[1991]-116210
[Requested [portions only]

Job No.: 1390-88694

Ref: CX112/JP

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 3[1991]-116210

Int. Cl. ⁵ :	G 06 F 1/04
Sequence No. for Office Use:	7459-5B
Filing No.:	Hei 2[1990]-228140 Division of Sho 62[1987]-212812
Filing Date:	October 12, 1981
Publication Date:	May 17 1991
No. of Inventions:	2 (Total of 10 pages)
Examination Request:	Filed

DATA PROCESSING SYSTEM

Inventors:	Hideo Maeshima, Hitachi Seisakusho K.K., Hitachi Research Center 3-1-1 Saiwai-cho, Hitachi-shi, Ibaragi-ken Akihiro Katsura, Hitachi Seisakusho K.K., Hitachi Research Center 3-1-1 Saiwai-cho, Hitachi-shi, Ibaragi-ken Toshimasa Kihara, Hitachi Seisakusho K.K., Musashino Plant, 1450 Kamimizumoto-cho, Kodaira-shi, Tokyo-to Yasushi Akao Hitachi Seisakusho K.K., Musashino Plant, 1450 Kamimizumoto-cho, Kodaira-shi, Tokyo-to
------------	--

Applicant: Hitachiseisakusho K.K.,
4-6 Kanda surugadai, Chiyoda-ku,
Tokyo-to

Agents: Katsuo Ogawa, and 2 others

[There are no amendments to this patent.]

* * *

Detailed explanation of the invention

This invention concerns a data processing system. It particularly concerns a controlling method of a clock signal suitable for processing systems with a small consumption of power, such as a LSI (Large Scale Integrated Circuit), for example.

The advancement of semiconductor technology in recent years has been significant, the development of the MOS (Metal Oxide Semiconductor) in particular is significant. Along with the development of MOS technology, reduction of elements to microscopic size has been advancing. To accompany this, many circuits have been integrated over silicon [substrates] of several mm.

However, such high integration or increase in speed results in an increase in the consumption of power per unit area, and the heat diffusion of an element has become a serious issue.

Therefore, so-called C-MOS (Complementary MOS) devices that only consume electric power when signals change have been spotlighted. It is then possible to supply power from batteries during a power blackout because the consumption of power of a C-MOS device is small. Power in some cases is also always supplied from batteries because the consumption of power is small.

The invention in this application concerns the controlling method of the clock signal for further reducing the consumption of power by such a CMOS device.

When a device decreases in size, the consumption of power per unit area or the consumption of power per unit volume tends to increase even though the absolute value of the consumption of power is small. Accordingly, reduction in the consumption of power is a serious issue.

A calculator is a familiar example. This, when left alone while the power source is still left ON, automatically turns OFF the power source when a predetermined time elapses. A wasteful consumption of power from the power source can be prevented because the power source is automatically turned off after a specific period of time has elapsed. This case is limited

to shutting off the power source after a time of nonuse of the calculator, which is saving power at the power source side. To further advance the low consumption of the power source of devices, turning off the power source and its return must be performed according to the state of the device, and the demand for this is gradually increasing.

A publicly known example, which is closest to the invention in this application, is Japanese Kokai Patent Application No. Sho 54[1979]-104272, "Complementary type MOS logic circuit" (disclosed to the public on August 16, 1973). This publicly known example concerns a logic circuit, particularly a logic circuit that is comprised of a complementary type MOS gate, and it is operated at a further reduced consumption of power.

Specifically, said logic circuit comprised of the MOS gate controls the passage and supply of a clock signal from the outside using a clock prohibiting signal generated from said logic circuit during its non-logic operating period, and it prohibits the external clock signal during a period in which said logic circuit does not operate.

This only prohibits the external clock signal during the period in which the target logic circuit does not operate.

This disclosure specifies that the clock signal is controlled by a signal that is generated when said logic circuit does not operate, in other words, a non-operating signal. It does not describe any positive reduction of the consumption of power as in this invention, in other words, stopping the clock signal by a command, for example.

There is also U.S. Patent No. 3,919,695 (November 11, 1975) "Asynchronous Clocking Apparatus" which has an independent clock circuit for each of multiple functional units and changes the clock cycle.

The main objective of this invention is to prohibit the supply of a clock signal to the target logic circuit at an optional point (or fixed at a specific level) and to reduce the consumption of power.

Another objective of this invention is to allow for an optional change of the circuitry region, which prohibits supply of the clock signal.

For attaining the aforementioned objectives, this invention has the characteristic of providing a clock prohibiting command and prohibiting the supply of a clock signal of said logic circuit when said command is read out.

As described above, a C-MOS device has the characteristic of not having consumption of power if the signal does not change. Accordingly, by stopping the supply of the clock signal of said C-MOS device by a clock supply prohibiting demand signal, a reduction in the consumption of power in the C-MOS device can be achieved.

The average consumption of power increases in a logic circuit which operates in synchronization with a clock pulse signal as the repeating frequency of the clock pulse signal increases.

If high speed processing is not necessary, a reduction in the consumption of power can also be attained by lowering the repeating frequency of the clock pulse.

This will be explained successively below. As a circuit to stop the supply of the clock signal of a processor, for example, by a clock signal supply prohibiting signal from the outside, one as shown in Figure 1(A), can be considered.

The clock controlling circuit in Figure 1(A) is comprised of flip flops (11)-(13), which synchronize the signal IC for requesting the stop of the supply of a clock with 2-phase clocks (1a) and (1b), and AND gates (14) and (15), which prohibit the supply of the clock. (16) is a data processing unit. The operation of this circuit will be explained while referring to the time charts in Figure 1(B)-(I). If the clock supply stop requesting signal (1c) during a non-synchronization falls from "H" to "L" (①), it is first synchronized by the clock (1b) at the flip flop (11), and signal (1d) is obtained (②). However, there is a possibility that chatter will occur in the signal (1d) during synchronization. Signal (1e) is next obtained through a synchronization by clock (1a) at the flip flop (12) (③). Furthermore, signal (1f) synchronized by clock (1b) at the flip flop (13) is also obtained (④). Signals (1f) and (1e) respectively prohibit clocks (1a) and (1b) by AND gates (14) and (15), and clocks (1g) and (1h) that should be supplied to the data processing unit (16) are fixed at "L". Here, there is no signal change within the data processing unit (16), and power is not consumed at the data processing unit (16), which is comprised of a C-MOS device. In the simplest example, prohibiting control of the clock signal at the circuit in Figure 1(A) is possible.

The clock supply stop requesting signal described above is provided from outside a LSI or provided at a specific frequency. Therefore, stopping and canceling the clock become fixed. Accordingly, the operating microprocessor itself cannot positively implement a low consumption power mode at optional points.

[Reference No. 3 (page 3, line 10 of lower left column to page 5, line 3 of upper left column)]

Fig. 2 shows a block diagram of a data processing unit providing an improved clock supply control circuit of the present invention. The data processing unit comprises a clock generating circuit 20, a clock supply circuit 21, and a processor 22 including a register file 23, an arithmetic circuit 24, an address register 25, an instruction register 26, and a decoder 27. Clock signals (3a-3c) produced by the clock generating circuit 20 input to the clock supply circuit 21 and output of signals (3x-3z) thereof stops according to a signal 3d output from the processor 22. Also, a stop state is released according to interrupt signal or the like (31-3o)

inputted to the clock supply circuit 21. Referring to Figs. 2 and 3, a detailed operation will be described.

(1) In case of stop of the clock supply

Contents n of a program counter (PC) in the register file 23 of the processor 22 are outputted to a main memory 28 according to the signal 2a via the address register 25 (MAR). By this, a low power instruction (a clock supply prohibition instruction in Fig. 3) is set in the instruction register 26 (IR) through the signal 2b. This content is decoded by the decoder 27 and inputted to the clock supply circuit 21 as a stop signal 3d. After that, the clock signals 3x-3z stop and the processor becomes a stop state. At this time, however, the clock circuit 20 generates the outputs themselves of the clock signals 3a-3c.

(2) In case of release of stop of the clock supply

The interrupt signals 31-30 are inputted to the clock supply circuit 21, and when at least one of these becomes active, immediately, the clock signals 3x-3z start to move. In other words, the circuit 21 stops the clock signals in a wait state of the interrupt. According to the interrupt signal, the clock signals 3x-3x start to move and when the processor 22 starts to operate, it is determined whether the inputted interrupt is accepted or not due to mask function of the interrupt in the clock supply circuit 21. As a result, the signal 2c is inputted to the decoder 27. The top instruction if the interrupt is accepted, or the instruction stored in the next $(n+1)$ address of the clock supply prohibit instruction (n address) if the interrupt is not accepted, is executed.

Namely, the numeral reference 28a in Fig. 3 is explanation of a memory map on the main memory. For instance, the n th instruction reads out the above mentioned low power instruction (the clock supply inhibit instruction), and is processed by an interrupt processing IRP when the interrupt signal is generated at time of a state inhibiting a supply of the clock signal. At time of the clock signal supply inhibit state, the IRP monitors always the interrupt state, and determines if MASK is done when the interrupt generates (Y), if not, initiates a supply of the clock signal to execute a corresponding interrupt processing program. On the other hand, when the MASK is done for generation of the interrupt signal, the instructions are executed reading out sequentially from the $(n+1)$ the instruction. (Of course, in this case supply of the click signal is initiated.)

As mentioned above, the clock supply circuit 21 controls consumption of power of the processor 22 by performing stop and release of the operating clock signals. Next, the detailed constitution and operation of the clock supply circuit 21 will be described.

Fig. 4 shows the specific constitution of the clock supply circuit 21 according to the present invention. This circuit detects the clock supply inhibit instruction of the data processing unit, and comprises a clock control circuit 327 consisting of synchronizing

flip-flops 300, 301 and flip-flops 302, 303 controlling stop of the clock, clock gates 304-306 inhibiting supply of a group of clocks 3a, 3b and 3c, a group of flip-flops 310-317 synchronizing and storing 4-level interrupt, an OR gate 318 detecting at least one interruption, a group of flip-flops 319-312 obtaining release timing of stop of the clock, logic gates 322, 323 determining synchronization of the interrupt and a timing of store, and an interrupt mask gate 324. Operation of the circuit will be described by dividing into two cases of stop and release of the clock

(i) Operation of the case of stopping the clock signals

For explanation reasons, the data processing unit shall be considered as a microprogram control. In the microprogram executing the clock supply inhibit instruction, when the microinstructions for the clock stop request are read out, the signal 3d becomes "H" (High level). This is stored in a flip-flop 300 by the clock 3d and the signal 3e obtained by this is further coincided with timing of the flip-flop 301 by the clock 3a. The signal 3f synchronized with the clock 3a sets the flip-flop 302 according to the clock 3b to indicate stop of the clock. After the clock stop signal 3g is synchronized with the clock 3a by the flip-flop 303, and controlling the clock gates 304-306 by a pair of signals 3h, 3i ($\overline{3h}$) and the clock 3x according to the clock 3a becomes an "H" state by the gate 305, and the clocks 3y, 3z corresponding to the clocks 3b, 3c stop in a "L" (Low level) state. The reason to make the clock 3x "H" is because a roll smoothing operation at time of the release of stop by holding a precharge state at time of the clock stop is performed because the clock 3x is used in the precharge of a dynamic logic in one microoperation of the data processing unit, thereby consuming no power during a stop period of the clock. Like this, since the clocks 3x, 3y and 3z are supplied to the data processing unit, there exist no change of signal in the unit and no power consumption in a CMOS circuit. As is understood from this example, the clock signal supply stop is not always the "L". In short, any state will do if the state in which power is not consumed is held. [End of first Reference No. 3]

Figure 5(A)-(H) show time sequences until reaching the stop of the clock signal.

In Figure 5, ① indicates the time region where signals (3a)-(3c) from the clock generating circuit are provided and the corresponding clock signals (3x)-(3y) are supplied to the data processing system. Region ② in the same diagram indicates a case in which signal (3d) is input into a flip flop (300), and signal (3e) is generated. Region ③ in the same diagram indicates a case in which the output signal from a flip flop (301) is changed from "H" to "L" by the clock signal (3a), and the output signal (3g) from the flip flop (302) is changed from "L" to "H" in synchronization with the clock signal (3b). Region ④ in the same diagram indicates a case in which the flip flop (303) is changed so as to be synchronized with the clock signal (3a) by the

signal (3g), and a pair of signals 3h, 3i ($\overline{3h}$) are obtained. Clock signals (3y) and (3z) are then maintained at level “L” from “H”, and (3x) is maintained at the signal level “H”, and change in the level of clock signals is eliminated.

It can be understood that the signals (3a), (3b), and (3c) from the clock generating circuit continue to output signals even in region ④.

(2) Explanation of the operation for canceling clock stop

Clock stopping control, as described above, becomes programmable by commands. On the other hand, the cancellation of stop is performed by interruptions in the data processing device. The interruption referred to here refers to service requests from an input and output device, error, and reset, etc. Interruption signals at 4 levels in Figure 4 are received at the first group of flip flops (310)-(313) by the signals (3l), (3m), (3n), and (3o) at the synchronization clock (3t) supplied by the clock gate (322). Next, for preventing chatter, they are received again at the second group of flip flops (314)-(317) by another synchronization clock (3s) supplied by the clock gate (323). For example, output (3p₄) from the flip flop (317), which is one of these synchronizing interruption signals, is input into the NOR gate (318), and stored into the flip flop (319) by clock (3a). The presence of interruption is detected by the NOR gate (318) when any one of the 4 level interruptions (3p₁-3p₄) enters, and this is reflected on the flip flop (319). Output (3q) from the flip flop (319) is furthermore synchronized at the flip flops (320) and (321), signal (3r) is obtained, and the flip flop (302) for controlling the aforementioned clock stop is reset. Then, the flip flop (303) synchronized with the clock (3a) cancels the stopping of the clock by signals 3h and 3i ($\overline{3h}$) and clock gates (304)-(306). Figure 6(A)-(L) indicates time charts for the cancellation of the stopping of the clock, in which a smooth start of the clock operation is attained.

With ①₁ indicated in Figure 6(E), the flip flop (317) synchronizes with the clock signal (3b) by the interruption requesting signal (3o) and outputs signal (3p₄), also synchronizes with clock signal (3a) and the output signal (3q) of the flip flop (319) changes the state at ①₂ (from level “H” to “L”). As indicated in Figure 6(G) by ①₃, the output signal (3r) from the flip flop (321) synchronizes with the clock signal (3a), and the level of that signal changes from “H” to “L”. The output signal (3g) from the flip flop (302) changes from “H” to “L” by signal (3r) (Figure 6(H) ①₄). Accordingly, the output signal (3h) from the flip flop (303) changes from “L” to “H” (Figure 6 (I) ①₅), and although not shown in the figure, the level of the signal of 3i ($=\overline{3h}$) changes from “H” to “L”, and the supply of the clock signals (3x), (3y), and (3z) starts again in region ⑤ (the same in region ⑥).

[Reference No. 3 (page 5, line 11 of lower right column to page 6, line 16 of upper right column)]

Next, the operation after release of the clock stop will be described. At least one of the interrupt signals 31, 3m, 3n and 3o is input to the clock control circuit, after releasing the clock stop state, the data processing unit determines whether the interrupt processing is performed or not by a resulting signal 2c of the mask gate 324 and continues the processing. Referring a flow chart of microinstructions in Fig. 7, this situation will be explained. In this flow chart, one block represents one microinstruction. Explanation will be made using the -time charts as shown in Figs. 5 and 6. Execution of the instructions for the clock stop starts from decrement of a program counter PC of block 7a. This is controlled at a instruction fetch stage because the [program counter] PC is incremented by one. Since this is not concerned with the present invention, detailed explanation is omitted. Next, a microinstruction for the clock stop of block 7b is carried out to enter the clock stop state. NO-OP (No operation) of clock 7c is a surplus while the clock is completely stopped and NO-OP of clock 7d is a microinstruction for awaiting the interrupt at time of the clock stop.

When the interrupt is accepted in the NO-OP state, the control is transferred to a first microinstruction of the instruction fetch in block 7c after a constant synchronization cycle. In block 7c the PC is sent to the address register 25 and increment of the PC is performed. In block 7f the main memory is read out, and in block 7g the instruction read out is taken in to the instruction register IR 26. Like this, the interrupt is checked after execution of a microinstruction in block 7h and when the interrupt signal 2c exists in an output of the mask gate 324, a branch is performed to microprograms (block 7i, 7j) of the interrupt processing. When the interruption signal does not exist, branching to one of the execution microprograms ensures in accordance with the instruction provided to block 7g. As mentioned above, after release of the clock stop, a macroprogram is controlled to the interrupt processing or the next program according to the state of the mask gate 324.

According to the embodiment as illustrated, a user programmable clock stop instruction is performed by the specific instructions, thereby transferring to the low consumption power mode. Further, a flexible control is possible to the interrupt processing or the next instruction according to the mask state of interruption.

As explained above, a reduction in the consumption of power can be finely controlled in this invention by controlling the supply of the clock signal, and a further reduction in the consumption of power can be attained.

Also, application examples of this invention should not be limited to the one described above, and a variation example will be described below.

Figure 8 shows an example in which a data processing system is sectioned into several blocks, and the example is implemented by separating these blocks into blocks that prohibit the supply of the clock signal when a clock signal supply prohibiting command is read out and into blocks that do not prohibit. This creates a data processing system that is the system in Figure 2 to which a timer (80) and a serial input and output system (I/O) (81) that do not prohibit the supply of the clock are added as an example. Stop and cancellation of the clock are attained in the following manner.

When the clock signal supply prohibiting command is detected by the processor (22), outputs (3x)-(3y) of the clock supply circuit (21) are stopped by the signal (3d). Through this, the operation of the processor (22) stops, however, the timer (80) and the serial I/O (81) operate by clocks (3a)-(3b), and therefore do not stop. When any one of the timer interruption (3n) from the timer (80), interruption (3o), such as an over-flow for example, from the serial I/O (81), or interruptions (3l) and (3m) from outside is input in this state, the clock supply circuit (21) starts the operation, and the processor (22) performs an interruption processing.

Figure 9 shows an example of a system which stops and cancels the supply of the clock [signal] by a processor (22) possessing several clock signal supply prohibiting commands and by clock supply circuits (210)-(212) for each block. The processor (22) has 7 types of clock signal supply stopping commands I(1)-(7). Like signal (30d) by command I(1), signal (31d) by I(2), signals (30) and (31d) by I(3), and signal (32d) by I(4), every combination of signals (30d)-(32d) can be obtained corresponding to commands I(1)-(7) implemented by the processor (22). By these commands, 3 blocks including the processor (22) itself and primary block (90) and secondary block (91) in all combinations stop the supply of clocks (90x)-(92x). The cancellation of the respective clock supplying circuits (210)-(212) is independently obtained by signals (30l)-(32l). By constructing the system as above, the processor (22) can start prohibiting the supply of the clock from blocks that no longer need operation by command, which is also effective for the attainment of a low consumption of power.

Figure 10 is an example provided with a reference register (100) and a mask gate (101) for prohibiting the supply of a clock signal. Here, only the procedure for prohibiting the supply of the clock signal is different from the one in Figure 9, therefore, only that part is shown.

(1) Setting the clock signal supply prohibiting block

One content item of the register file (23) within the processor (22) through signal (100b) by a reference register setting command is set into the reference register (100) by the setting signal (100a) obtained from the decoder (27). Output signals (100c)-(102c) are generally masked by the mask gate (101), and clock signal supply prohibiting signals (30d)-(32d) are not output.

(2) Output of the clock signal supply prohibiting signal

Signal (3d) is output when the clock signal supply prohibiting command is implemented by the processor (22). This, in accordance with the contents of the reference register (100), is output as signals (30d)-(32d) through the mask gate (101) into each of the clock supply circuits (210)-(212), and prohibits the supply of the corresponding clock signals.

The contents of the reference register (100) can be rewritten by this setting command, therefore, the clock signal supply prohibiting block is programmable and can be changed.

Figure 11 shows a structure by frequency divided circuits (110)-(112) and selectors (113)-(115) instead of the clock gates (304)-(306) in the clock supply circuit indicated in Figure 4. Long frequency signals (11a)-(11c) are respectively obtained by the frequency divided circuit (110)-(112) plus signals (3a)-(3c) of the present frequency. Through such a structure, signals (3h) and (3i) are generally "H" and "L" respectively, and clock signals (3a)-(3c) are selected by the selectors (113)-(114) and are output as clock signals (3x)-(3y). Here, as the clock signal supply prohibiting command is implemented, signals (3h) and (3i) are respectively reversed and become "L" and "H". Accordingly, long frequency clock signals (11a)-(11c) in this case are selected by the selectors (113)-(115), and are output as clock signals (3x)-(3z).

By replacing the signals (3h) and (3i), shorter frequency clocks than usual are supplied by the clock signal supply prohibiting command.

Figure 12 shows a clock generating unit, which variably switches long and short clock frequencies in addition to the general clocking frequency. Signal (3d) by switching command to long frequency and signal (3d') by switching command to short frequency are generated from the decoder (27) within the processor (22).

(1) General clock frequency

Unless the command for clock frequency switching is read out in particular, the outputs (3h) and (3h') of the clocking controlling circuit (327) are respectively at "L". Accordingly, the output (12a) from the gate (129) is at "H", and outputs from the frequency divided circuits (120)-(122) are selected by the selectors (126)-(128) and output to (3x)-(3z). This is the general clock frequency.

(2) Long frequency

As the command for switching to lengthen the clock frequency is read out, signal (3d) becomes active, and 3h as a result becomes "H". Through this, outputs from low speed frequency divided circuits (123)-(125) are selected by the selectors (126)-(128), and a longer frequency clock than usual is output to (3x)-(3z).

(3) Short frequency

As the command for switching to shorten the clock frequency is read out, signal (3d') becomes active, and (3h') as a result becomes "H". Through this, clocks (3a)-(3c) are directly

selected by the selectors (126)-(128), and a clock with the shortest frequency (high speed) is output to (3x)-(3z).

The consumption of power can be controlled by changing the clock frequency when the command for switching the clock frequency is read out.

Brief description of the figures

Figure 1(A) shows an example of a stopping circuit of the clock signal to a data processing unit comprised of a C-MOS. Figure 1(B)-(I) presents time charts for the explanation of the operation of each part in Figure 1(A). Figure 2 is a block diagram showing an abbreviated data processing system equipped with a further improved clock signal supply controlling circuit of this invention. Figure 3 shows a flow chart for the explanation of the execution of reading out a clock supply prohibiting command. Figure 4 shows a specific application example of a clock supply controlling circuit. Figures 5 and 6 are time charts for the explanation of the operation for the prohibition of the supply of a clock signal and the return. Figure 7 shows a flow chart of the execution of the micro-command in an operation after canceling the stopping of a clock. Figures 8 and 9 show explanatory diagrams when the supply prohibiting block of the clock is divided into several blocks. Figure 10 is an explanatory diagram of a case in which a clock supply prohibiting reference register is provided. Figures 11 and 12 show explanatory diagrams when attaining a reduction in the consumption of power by varying the frequency of the clock signal instead of prohibition of the supply of the clock signal.

20...Clock generating circuit, 22...processor, 23...register file, 24...arithmetic circuit, 25...address register, and 27...decoder.

Figure 1

Figure 2

Figure 3

Key: 1 Interruption
 2 Mask
 3 Clock supply prohibiting command
 28a Interruption processing program

Figure 4

Figure 5

Key: 1 Signal __

Figure 6

Key: 1 Signal __

Figure 7

- Key:
- | | |
|---|-------------------------|
| 1 | (Figure 6⑤) |
| 2 | (Figure 6⑥) |
| 3 | (Figure 5①) |
| 4 | (Figure 5②) |
| 5 | (Figure 5③) |
| 6 | Figure 5 and Figure 6④) |

Figure 8

Figure 9

Figure 10

Key: 1 From the register file (23)
 2 From the decoder (27)

Figure 11

Figure 12